

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **63-144494**

(43)Date of publication of application : **16.06.1988**

(51)Int.Cl.

G11C 11/34

G06F 12/08

G06F 12/08

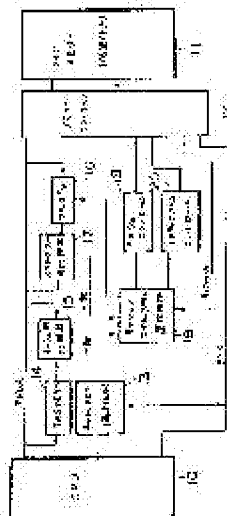
(21)Application number : **61-290203**

(71)Applicant : **ALPS ELECTRIC CO LTD**

(22)Date of filing : **05.12.1986**

(72)Inventor : **KUMADA TOMOHIRO**

## (54) REFRESH SYSTEM FOR MAIN MEMORY



(57)Abstract:

**PURPOSE:** To prevent delay in access by using a cache comparator so as to compare the content of a tag memory with a high-order address when a low- order address is inputted and giving a refresh signal by a timer clock when the coincidence period continues for a prescribed period or over.

**CONSTITUTION:** A cache memory 13 uses a cache comparator 15 to compare the contents of a tag memory 14 receiving a low-order address at a part of an address from a CPU 10 with the high-order address and a coincidence signal is outputted for high speed operation. A refresh signal is raised at the leading of the cache access signal and when the cache access signal has a prescribed time or over of interval, a refresh signal is caused by the refresh request signal by a timer clock. In this case, since no access is given to a DRAM 11 being the main memory, the

refresh signal and the signal accessing the main memory 11 from the CPU 10 do not collide with each other. Thus, the retarded access is prevented.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-144494

⑫ Int. Cl.<sup>4</sup>

識別記号

序内整理番号

⑬ 公開 昭和63年(1988)6月16日

G 11 C 11/34

3 6 3

J-8522-5B

G 06 F 12/08

3 1 0

E-7927-5B

Z-7927-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 メインメモリーのリフレッシュ方式

⑮ 特 願 昭61-290203

⑯ 出 願 昭61(1986)12月5日

⑰ 発 明 者 熊 田 友 広 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社  
内

⑱ 出 願 人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

#### 明 細 書

##### 1. 発明の名称

メインメモリーのリフレッシュ方式

##### 2. 特許請求の範囲

CPUからのアドレスの下位アドレスが入力されるタグメモリーの内容と、上位アドレスを比較するキャッシュ用比較器で、一致した場合ごとにリフレッシュ信号を与え、前記一致期間が一定以上となる場合にはダイナミックによるリフレッシュ信号を与えるようにしたことを特徴とするメインメモリーのリフレッシュ方式。

##### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はメインメモリー、特に安価にて供給されるダイナミックRAMを高速アクセスするためのキャッシュメモリーを組み込んだ回路においてリフレッシュする方式の改良に関する。

〔従来の技術〕

一般的に、キャッシュメモリーを用いたアクセス方式は第3図として示すブロック図のような

ハードウェアによって実行されている。尚ち、第3図にあって図中1はCPUであり、このCPU1からのアドレスが発生すると、そのアドレスの一部である下位アドレスをタグメモリー2のアドレスとして入力し、そのタグメモリーの内容と、CPU1からの上位アドレスとを比較器3で比較して、一致していれば、高速のキャッシュメモリー4内にデータがあることとなるので高速アクセスでデータを読み込むようになっている。又、一致していない時には通常のアクセスでダイナミックRAMを用いたメインメモリー5からデータをCPU1に取り込み、その時にそのデータの内容をキャッシュメモリー4内に書き込むことも行なうものとなっている。又、このキャッシュメモリー4を用いたアクセス方式は、ライト時には通常アクセスによって行なうため、特に高速アクセスはできない。

又、このキャッシュメモリー4を用いた方式はメインメモリー5として通常は前記したようにダイナミックRAMを使用するのでもリフレッシュを

行なうことが必要とされるが、従来、このリフレッシュ方式はタイマを用いて一定時間ごとにリフレッシュ信号を与えることによりなされていた。

〔発明が解決しようとする問題点〕

しかしながら、上記したようなキャッシュメモリを組み入れたアクセス方式におけるリフレッシュ方式によると、そのリフレッシュ信号がCPIUからメインメモリへアクセスする場合にぶつかってしまうことがあり、アクセスが遅くなってしまふという問題点があった。

そこで、本発明は係る従来技術の問題点を解消して、リフレッシュ信号がCPIUからのアクセスとぶつかってしまうことを避け、アクセスを遅らせてしまうことがないようにしたメインメモリのリフレッシュ方式を提供することを目的としている。

〔問題点を解決しようとするための手段〕

この目的を達成するために、本発明に係るメイ

ンを参照して詳細に説明する。

第1図は一般的なキャッシュメモリを用いたアクセス方式の問題点を是正するため、スタティックカラム方式との長所のみを生かしたアクセス方式を実行するためのハードウェアのブロック図であり、図中10はCPIU、11はダイナミックRAMを用いた高速のメインメモリである。このメインメモリ11はメモリコントロール12によって制御されるものとなっている。又、図中13は高速のキャッシュメモリであり、このキャッシュメモリ13はCPIU10からのアドレスの一部の下位アドレスが入力されるタグメモリ14の内容と上位アドレスをキャッシュ用比較器15によって比較され、一致信号が出て高速動作を行なうものとなっている。又、図中16はアドレスフィリップフロップであり、このアドレスフィリップフロップ16には前記したキャッシュメモリ13の高速動作時のアドレスがセットされ、次のアクセス時にスタティックカラム用比較器17で一致した時に高速動作ができるよう

ンメモリのリフレッシュ方式は、CPIUからのアドレスの下位アドレスが入力されるタグメモリの内容と、上位アドレスを比較するキャッシュ用比較器で、一致した場合ごとにリフレッシュ信号を与え、前記一致期間が一定以上となる場合にはタイマクロックによるリフレッシュ信号を与えるようにしたことを特徴としている。

〔作用〕

メインメモリのリフレッシュ方式を上記したような公正とすることによって、キャッシュ用比較器が一致してキャッシュメモリが高速動作している場合には、メインメモリであるダイナミックRAMにはアクセスしてはならないので、その時にリフレッシュ信号を与えてやれば、そのリフレッシュ信号とCPIUからメインメモリをアクセスする信号とがぶつかることはなくなり、アクセスが遅くなってしまふことが防止されることとなるのである。

〔実施例〕

次に、本発明の実施の一例を第1図乃至第2図

準備される。又、スタティックカラム用比較器17から一致信号が出た場合にはスタティックカラムによる高速動作が行なわれるが、そのデータはキャッシュメモリ13にもセットされ、次のアクセスに備えられるものとなっている。尚、図中18はキャッシュメモリ13によるかスタティックカラムによるかの選択回路であり、この選択回路18はキャッシュコントロール19、スタティックカラムコントロール20を介して前記メモリコントロール12に信号を送るものとなっている。又、第2図は、かかる回路構成にあって、ダイナミックRAMを用いたメインメモリ11に必要なリフレッシュ動作の信号を示す概略図であり、Aは通常と同様なタイマクロックによるリフレッシュのリクエスト信号、Bはリフレッシュ信号、Cがキャッシュアクセス信号であり、本発明の場合には、リフレッシュ信号はキャッシュアクセス信号の立ち上がりと同時に発せられるものとなっており、そのキャッシュアクセス信号が一定時間以上間隔が空いてしまう場合

特開昭63-144494 (3)

には通常のタイマクロックによるリフレッシュのリクニスト信号によってリフレッシュ信号が発せられるものとなっている。

尚、本発明に係るメインメモリーのリフレッシュ方式は、特に第1図に示されるようなスタティックカラム方式をも組み込んだ回路に限られて実施されるものではなく、従来例として示した第3図のようなキャッシュ方式にも実施可能なことは勿論である。

〔発明の効果〕

上述したように本発明に係るメインメモリーのリフレッシュ方式によれば、キャッシュアクセス、即ち、キャッシュ用比較器から一致信号が出た時にはCPUからメインメモリーをアクセスしていることはないで、この時にリフレッシュ動作を行なえば、そのリフレッシュ信号とCPUからのアクセス信号がぶつかることはなく、アクセスの遅れが生じることはないものとなっている。

4. 図面の簡単な説明

第1図は本発明に係るメインメモリーのリフ

レッシュ方式が実行されるハードウェアの回路ブロック図、第2図は同リフレッシュのタイミングを表わす信号の概念図、第3図は一般的なキャッシュメモリーを組み込んだ回路のブロック図である。10…CPU 11…メインメモリー

13…キャッシュメモリー

14…タグメモリー

15…キャッシュ用比較器

A…リクエスト信号 B…リフレッシュ信号

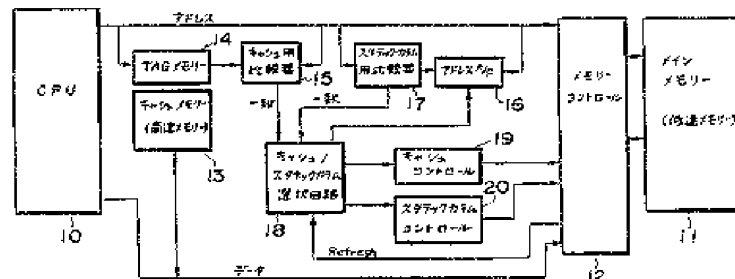
C…キャッシュアクセス信号

特許出願人 アルプス電気株式会社

代表者 片岡 勝太郎



第 1 図



第 2 図



第 3 図

